

Organizacija memorije

Zbog velikog broja memorijskih elemenata (ćelija), nije moguće odjednom pristupiti svim memorijskim elementima (jedan element odgovara jednom bitu), nego je pristup podeljen na grupe bita.

Uobičajeno je da se grupa bita kojoj se pristupa naziva reč, pri čemu se definiše i veličina reči izražena u broju bita.

Fizičke linije koje preko kojih se memorijskoj reči pristupa nazivaju se *magistrala podataka (Data Bus)*.

Veličina jedne reči uglavnom može biti 1, 4, 8 ili 16 bita.

Najčešća organizacija pristupa je po bajtovima, odnosno grupama po osam bita.

Spolja posmatrano, sadržaj memorije je organizovan u matičnom formatu, gde je jedna dimenzija veličina (tj. širina) memorijske reči, a druga dimenzija je ukupan broj reči.

U svakom trenutku moguće je pristupiti samo jednoj memorijskoj reči, a redni broj reči kojoj se pristupa naziva se adresa.

Fizičke linije koje se koriste za prenos adrese se nazivaju *magistrala adresa (Address Bus)*.

Lista svih mogućih adresa memorije naziva se adresni prostor.

Primer organizacije memorije širine 8 bita i veličine N bajtova je dat u tabeli.

adr N-1	D7	D6	D5	D4	D3	D2	D1	D0
adr N-2	D7	D6	D5	D4	D3	D2	D1	D0
...
adr 2	D7	D6	D5	D4	D3	D2	D1	D0
adr 1	D7	D6	D5	D4	D3	D2	D1	D0
adr 0	D7	D6	D5	D4	D3	D2	D1	D0

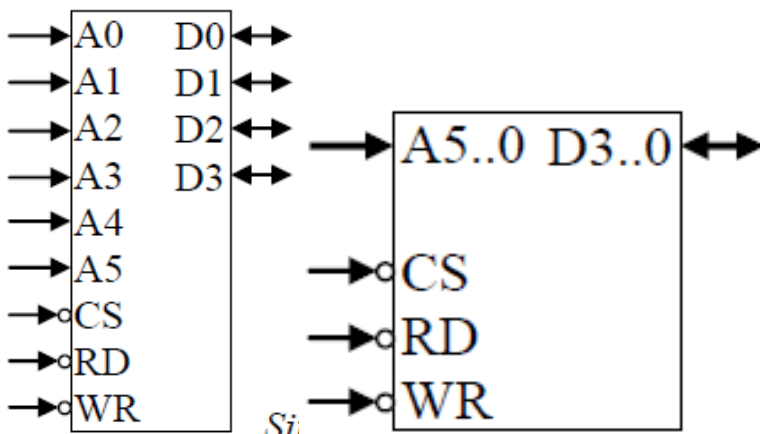
Svaki red u tabeli predstavlja jednu 8-bitnu reč (D7..D0).

Pojedinačne reči su određene adresom *adr*, koja se numeriče od 0 do N-1.

Kako je i adresa binarni broj sastavljen od pojedinačnih bita, ukupan broj reči N jednak je 2^K , gde je K broj bita adrese.

Na primer, ako je adresa sastavljena od 10 bita, ukupan broj reči N je $2^{10} = 1024$.

Same reči u tabeli mogu biti različite, iako su označene istim oznakama (D7..D0).



Primer RAM memorije formata 32x4 bita može biti osnovni ili pojednostavljen.

Osnovni priključci ove memorije su:

A5...A0 – adresni ulazi, ukupan broj adresa je $2^6 = 32$

D3..D0 – ulazi/izlazi za podatke, čirina reči je 4 bita

CS – CHIP SELECT, ulaz za aktiviranje memorije, aktivna logička nula

RD – READ, ulaz za čitanje, aktivna logička nula

WR – WRITE, ulaz za upis, aktivna logička nula

Ako memorija nije aktivirana ulazom CS, priključci Dx su u stanju visoke impedanse (trostatički izlazi), a memorija ne reaguje na ulaze RD i WR.

Kada je CS aktivan, tada aktivan ulaz RD uključuje izlazne trostatičke bafere i memorisani podatak sa adrese određene ulazima Ax se pojavljuje na izlazima Dx.

U slučaju da je WR ulaz aktivan, tada se podatak postavljen spolja, na ulaze Dx (dvosmerne linije), upisuje u memorijske elemente na adresi određenoj sa Ax.

Na e-mejl rankovic.nebojsa124@gmail.com poslati odgovore na sledeća pitanja:

- 1) Ako je adresna magistrala sa 4 linije, koja je maksimalna adresa u takvom sistemu ?
- 2) Koliki je ukupan broj reči ako je adresa sastavljena od 4 bita ?

Odgovore poslati do 30.03.2020. godine.